

DISPLAY DEVICE

Patent number: JP10161564 (A)

Publication date: 1998-06-19

Inventor(s): YAMADA HIROYASU; SHIRASAKI TOMOYUKI +

Applicant(s): CASIO COMPUTER CO LTD +

Classification:


- international: *G09F9/30; H01L29/786; H01L51/50; H05B33/08; H05B33/12; G09F9/30; H01L29/66; H01L51/50; H05B33/02; H05B33/12; (IPC1-7): G09F9/30; H01L29/786; H05B33/08; H05B33/12*

- european:

Application number: JP19960331388 19961128

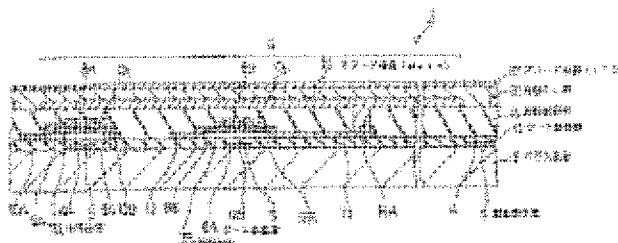
Priority number(s): JP19960331388 19961128

Also published as:

 JP3457819 (B2)

Abstract of JP 10161564 (A)

PROBLEM TO BE SOLVED: To provide a display device which has a high aperture ratio in pixel part and has a long emission lifetime. **SOLUTION:** In each pixel area on a glass substrate 2, a selection transistor Q1 and a memory transistor Q2 are formed respectively, and a cathode electrode 15 is formed on these transistors so as to approximately cover the pixel area. An organic EL-layer 16 and an anode electrode 17 are successively formed on cathode electrode 15. A TFT with EEPROM function is made by forming the gate insulation film of the memory transistor Q2 with a silicon nitride film doped with impurity ions. With such a composition, it becomes possible to maintain the drive of organic EL element 3 for one frame period with the memory transistor Q2. Thus, surface brightness can be secured without increasing the brightness of each pixel, therefore, it is unnecessary to impress an excessive voltage on the organic EL-layer 16, and this can prevent the organic EL-layer 16 from deteriorating.



【特許請求の範囲】

【請求項1】 基板上に設けられ、走査ライン及び信号ラインに接続されたスイッチング素子と、前記スイッチング素子の上方に設けられた第1電極と、前記第1電極上に設けられ、電界に応じて光を発光する電界発光層と、前記電界発光層上に設けられ、前記電界発光層の光を透過する第2電極と、を有する発光素子と、からなることを特徴とする表示装置。

【請求項2】 前記スイッチング素子は、絶縁膜を介して前記第1電極と接続されていることを特徴とする請求項1記載の表示装置。

【請求項3】 前記スイッチング素子は、前記走査ライン及び前記信号ラインに接続された選択トランジスタと、前記選択トランジスタに接続された駆動トランジスタと、からなることを特徴とする請求項1又は2に記載の表示装置。

【請求項4】 前記選択トランジスタは、前記走査ラインに接続されたドレイン電極と、前記信号ラインに接続されたゲート電極と、半導体層と、を有する薄膜トランジスタであり、前記駆動トランジスタは、前記選択トランジスタのソース電極に接続されたゲート電極と、前記第1電極に接続されたソース電極と、半導体層と、を有する薄膜トランジスタであることを特徴とする請求項3記載の表示装置。

【請求項5】 前記発光素子は、マトリクス状に複数配置され、前記スイッチング素子は、前記発光素子の下方に各々配置されていることを特徴とする請求項1乃至4に記載の表示装置。

【請求項6】 前記第1電極は、絶縁膜を介して前記選択トランジスタ及び前記駆動トランジスタの上方に設けられ、前記絶縁膜に設けられたコンタクトホールを介して前記駆動トランジスタに接続されていることを特徴とする請求項3乃至5のいずれかに記載の表示装置。

【請求項7】 前記第1電極は、前記電界発光層の発光する光と同じ波長域の光に対し反射性を有するカソード電極であり、前記第2電極は、前記電界発光層の発光する光と同じ波長域の光に対し透過性を有するアノード電極であることを特徴とする請求項1乃至6のいずれかに記載の表示装置。

【請求項8】 前記選択トランジスタは、前記信号ラインからの前記電界発光層の発光輝度データに応じた信号電圧に応じた電圧を前記駆動トランジスタに印加するトランジスタであり、前記駆動トランジスタは、前記発光素子の次の選択期間まで前記発光輝度データに応じた電圧を前記第1電極に印加し続けるトランジスタであることを特徴とする請求項3乃至7のいずれかに記載の表示装置。

【請求項9】 前記選択トランジスタは、消去期間に前記信号ラインから消去電圧が印加され書き込み期間に前記信号ラインから書き込み電圧が印加されることを特徴

とする請求項3乃至8のいずれかに記載の表示装置。

【請求項10】 前記電界発光層は、電界に応じて発光する有機エレクトロルミネッセンス層であることを特徴とする請求項1乃至9のいずれかに記載の表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、表示装置に関し、さらに詳しくは、エレクトロルミネッセンス（以下、ELという）素子によりドットマトリクス表示パネルを構成するEL表示装置に関する。

【0002】

【従来の技術】従来、自発光表示素子である有機EL素子をドットマトリクス状に配置した表示装置が知られている。この表示装置では、カソード・スキャンライン（金属電極側）をコモンラインとし、ITO（indium tin oxide）でなるアノード・スキャンラインをデータラインとし、このデータライン側に正電圧をカソード選択期間内で一斉に印加して、コモンラインとデータラインとが直交する部分の有機EL素子を線順次駆動して画像を表示している。しかし、このような表示装置にあっては、コモンラインとデータラインとが直交する部分の有機EL素子を線順次駆動して画像を表示するようになっているため、コモンライン数およびデータライン数が多くなるにしたがって、1画素当たりの選択時間（デューティH）が短くなり、表示装置として必要な輝度を得ることができないという問題点がある。このため、1画素当たりの輝度を高めるために有機EL素子に印加する電圧を高くすると有機EL層の劣化や非発光部分（ダークスポット）が成長し易くなるなどの問題が発生する。

【0003】このような問題に対処した表示装置として、画素内に2つの薄膜トランジスタ（以下、TFTという）を組み合わせて形成して各画素にメモリ性をもたせたものが提案されている。この2つのTFTのうち、一方は選択トランジスタであり、他方はメモリトランジスタとしての機能を備えている。この表示装置は、ガラス基板上的各画素領域内にこれら2つのTFTが形成され、各画素領域内におけるTFTが形成されていない領域に、順次、透明なアノード電極、有機EL層、不透明なカソード電極が積層された構成となっている。この表示装置においては、電子と正孔との再結合により発生する励起エネルギーにより有機EL層が発光する機構になっている。すなわち、電圧印加時に、アノード電極から正孔が、カソード電極から電子が、それぞれ有機EL層に注入されることになる。ここで、キャリア注入効率、アノード電極のイオン化ポテンシャル、カソード電極の電子親和力（仕事関数）に依存しており、キャリア注入効率に起因する発光効率を向上するため、カソード電極には低仕事関数の材料が選択されていた。しかしながら、低仕事関数の材料はマグネシウム等の金属からなるため、有機EL層が発光する光に対し反射性を有して

おり、有機EL層は透明なITO等のアノード電極側から基板を介して発光するような構造になっている。なお、上記したように、発光する有機EL層は2つのTF-Tが形成された領域と平面的に重ならない配置となっており、表示光がTF-Tへ入射するのを防止するよう配慮されている。この理由は、TF-Tへ光が入射すると、TF-Tのチャネル領域で不要な光起電力が生じて誤動作を引き起こす問題が発生するからである。

【0004】

【発明が解決しようとする課題】しかしながら、上記した表示装置では、各画素において発光を起こす領域が2つのTF-Tを除いた領域に限定されるため、画素領域に占める発光領域の割合（開口率）が低いという問題が挙げられていた。また、有機EL層で発生した光は、ガラス基板やその上に形成されたゲート絶縁膜などにより吸収されて通過するため、ガラス基板から出射される表示光の外部発光効率が低くなる点が指摘されていた。これら2つの問題点によって、表示装置が高精細化するほど開口率が低下して所望の輝度を得ることが困難になるという問題がある。

【0005】この発明が解決しようとする課題は、各画素部分の開口率を高くすることにより面発光輝度を確保することができるとともに、高精細化しても消費電力の増加を抑制でき、しかも発光寿命の長い表示装置を得るには、どのような手段を講じればよいかという点にある。

【0006】

【課題を解決するための手段】請求項1記載の発明は、基板上に設けられ、走査ライン及び信号ラインに接続されたスイッチング素子と、スイッチング素子の上方に設けられた第1電極、第1電極上に設けられ、電界に応じて光を発光する電界発光層及び前記電界発光層上に設けられ、前記電界発光層の光を透過する第2電極、を有する発光素子と、からなることを特徴としている。

【0007】請求項1記載の発明によれば、発光素子の電界発光層が電界に応じて発光する光を、電界発光層を挟んで、下方にスイッチング素子が設けられた第1電極と第2電極のうち、第2電極の方から出射させることができるので、スイッチング素子により開口率を低くすることなく、表示光を発光することができる。

【0008】請求項2記載の発明は、スイッチング素子は、絶縁膜を介して前記第1電極と接続されていることを特徴としている。

【0009】請求項3記載の発明は、スイッチング素子は、前記走査ライン及び前記信号ラインに接続された選択トランジスタと、前記選択トランジスタに接続された駆動トランジスタと、からなることを特徴としている。

【0010】請求項4記載の発明は、選択トランジスタは、前記走査ラインに接続されたドレイン電極と、前記信号ラインに接続されたゲート電極と、半導体層と、を

有する薄膜トランジスタであり、前記駆動トランジスタは、前記選択トランジスタのソース電極に接続されたゲート電極と、前記第1電極に接続されたソース電極と、半導体層と、を有する薄膜トランジスタであることを特徴としている。

【0011】請求項5記載の発明は、発光素子は、マトリクス状に複数配置され、前記スイッチング素子は、前記発光素子の下方に各々配置されていることを特徴としている。

【0012】請求項6記載の発明は、第1電極は、絶縁膜を介して前記選択トランジスタ及び前記駆動トランジスタの上方に設けられ、前記絶縁膜に設けられたコンタクトホールを介して前記駆動トランジスタに接続されていることを特徴としている。

【0013】請求項7記載の発明は、第1電極は、電界発光層の発光する光と同じ波長域の光に対し反射性を有するカソード電極であり、第2電極は、電界発光層の発光する光と同じ波長域の光に対し透過性を有するアノード電極であることを特徴としている。このため、第1電極が、低仕事関数の電極材料を適用することができ、発光効率を向上するとともに、電界発光層の発光する光がスイッチング素子に入射することを抑制できるので、スイッチング素子への光入射による誤動作を防止することができ、良好な輝度表示を行うことができ、さらにスイッチング素子の外光によるちらつきがないので視認性が向上する。また、電界発光層の発光する光を反射し、第2電極側に射出するので表示輝度効率が高い。

【0014】請求項8記載の発明は、選択トランジスタは、前記信号ラインからの前記電界発光層の発光輝度データに応じた信号電圧に応じた電圧を前記駆動トランジスタに印加するトランジスタであり、前記駆動トランジスタは、前記発光素子の次の選択期間まで前記発光輝度データに応じた電圧を前記第1電極に印加し続けるトランジスタであることを特徴としている。

【0015】請求項9記載の発明は、選択トランジスタは、消去期間に前記信号ラインから消去電圧が印加され書き込み期間に前記信号ラインから書き込み電圧が印加されることを特徴としている。

【0016】請求項10記載の発明は、電界発光層は、電界に応じて発光する有機エレクトロルミネッセンス層であることを特徴としている。

【0017】

【発明の実施の形態】以下、この発明に係る表示装置の詳細を図面に示す各実施形態に基づいて説明する。

【0018】（実施形態1）まず、図1および図2を用いて本発明に係る表示装置の実施形態1の構成を説明する。図1は本実施形態の表示装置の1画素部分を示す平面図であり、図2は図1のA-A断面図である。図中1は表示装置を示している。この表示装置1は、図1および図2に示すように、基体としてのガラス基板2の上

に、 n チャネルの選択トランジスタ Q_1 と、 n チャネルの駆動トランジスタとしてメモリトランジスタ Q_2 と、有機EL素子3などが形成されて構成されている。

【0019】具体的な構成を説明すると、ガラス基板2の上に例えばアルミニウム(A1)でなるゲート金属膜がパターンニングされて、所定方向に沿って平行かつ等間隔をなす複数のアドレス線4と、このアドレス線4に一体的な、選択トランジスタ Q_1 のゲート電極4Aと、メモリトランジスタ Q_2 のゲート電極4Bと、が形成されている。なお、これらゲート電極4A、4Bおよびアドレス線4の表面には、陽極酸化膜5が形成されている。また、これらアドレス線4、ゲート電極4A、4Bおよびガラス基板2の上には、窒化シリコンでなるゲート絶縁膜6が形成されている。さらに、ゲート電極4A、4Bの上方のゲート絶縁膜6、ゲート絶縁膜6Aの上には、アモルファスシリコン(a-Si)でなる半導体層7A、7Bがパターン形成されている。また、それぞれの半導体層7A、7Bの中央には、チャネル幅方向に沿って形成されたブロッキング層8A、8Bが形成されている。そして、半導体層7Aの上には、ブロッキング層8A上でソース側とドレイン側に分離されたオーミック層9A、9Aが、形成されている。他方、半導体層7Bの上には、ブロッキング層8B上でソース側とドレイン側に分離されたオーミック層9B、9Bが、形成されている。さらに、選択トランジスタ Q_1 においては、ドレイン側のオーミック層9Aに積層されて接続するデータ線10Aと、ソース側のオーミック層9Aに積層されて接続するソース電極10Bと、が形成されている。このソース電極10Bは、メモリトランジスタ Q_2 のゲート電極4Bに対して、ゲート絶縁膜6に開口したコンタクトホール11を介して接続されている。メモリトランジスタ Q_2 においては、ソース側のオーミック層9Bに積層されて接続するGND線12と、一端がドレイン側のオーミック層9Bに積層されて接続して他端が有機EL素子3の後記するカソード電極15に接続するドレイン電極13が形成されている。このような選択トランジスタ Q_1 とメモリトランジスタ Q_2 とで電圧制御手段が構成されている。

【0020】次に、有機EL素子3の構成を説明する。まず、上記した選択トランジスタ Q_1 、メモリトランジスタ Q_2 およびゲート絶縁膜6の上に、表示装置1の表示領域全域に互って、層間絶縁膜14が堆積されている。そして、上記したメモリトランジスタ Q_2 のドレイン電極13の端部上の層間絶縁膜14にコンタクトホール14Aが形成されている。なお、メモリトランジスタ Q_2 のドレイン電極13の端部は、1画素領域の略中央に位置するように設定されている。そして、層間絶縁膜14の上に、例えばMgInでなるカソード電極15がパターン形成されている。このカソード電極15は、1画素領域の大部分を覆うような面積および形状(本実施

形態では略正方形)を有している。なお、本実施形態においては、カソード電極15が、相隣接するデータ線10A、10Aと相隣接するアドレス線4、4とで囲まれる領域(1画素領域)を略覆うように形成されている。ここで、選択トランジスタ Q_1 とメモリトランジスタ Q_2 とは、カソード電極15で全面的に覆われている。

【0021】このように、各画素毎にパターン形成されたカソード電極15、および層間絶縁膜14の上に、有機EL層16が表示領域全域に互って形成されている。さらに、有機EL層16の上には、透明なITO(indium tin oxide)でなるアノード電極17が表示領域全域に互って形成されている。なお、図示しないが、アノード電極17の周縁部には、駆動電源が接続されている。

【0022】ここで、本実施形態の表示装置1の作用・効果について説明する。上記した構成でなる本実施形態の表示装置1においては、カソード電極15が、相隣接するデータ線10A、10Aと相隣接するアドレス線4、4とで囲まれる領域(1画素領域)を略覆うように形成されているため、有機EL素子3は1画素領域の略全域に互って発光を行うことができる。このため、本実施形態の表示装置1では、1画素当たりの開口率を飛躍的に高めることができる。また、カソード電極15が光反射性を有するMgInで形成されているため、カソード電極15とアノード電極17との間に駆動電圧が印加された場合に、有機EL層16で発生した表示光は、下方(ガラス基板2側)に漏れることなくアノード電極17側に出射されるため、選択トランジスタ Q_1 およびメモリトランジスタ Q_2 の半導体層7A、7Bへ不要に光が入射するのを防止することができる。このため、各トランジスタの光起電力による誤動作を回避することができる。また、表示光は、透明なアノード電極17から出射されるため、ガラス基板2などにより光吸収されることがなく、輝度の高い状態で出射される。

【0023】次に、本実施形態の表示装置1の駆動原理を説明する。まず、本実施形態の表示素子1の1画素部分を図3および図4に示す等価回路図を用いて説明する。図3に示すように、本実施形態の表示素子の1画素部分のEL表示回路は、有機EL素子3と電圧制御手段Vcとから構成されている。この電圧制御手段Vcは、図4に示すように、選択トランジスタ Q_1 とメモリトランジスタ Q_2 とから構成されている。有機EL素子3においては、アノード電極側に一定の駆動電源(Vdd)が接続され、そのカソード電極側に電圧制御手段Vcが接続され、電圧制御手段Vcを構成するメモリトランジスタ Q_2 のソース電極側はGND線12を介して接地されている。

【0024】これらの等価回路において、電圧制御手段Vcにより、選択時に入力画像データによる階調データに応じて有機EL素子3の発光輝度を変化させるように電圧を制御することができる。図4に示したメモリトラ

ンジスタ Q_2 は、EEPROMメモリ機能を有するTFTであり、選択トランジスタ Q_1 のゲート電極4Aにはアドレス線4が接続されるとともに、そのドレイン側にデータ線10Aが接続されている。この選択トランジスタ Q_1 では、アドレス線4から入力される選択信号によりゲートがONされることによって、データ線10Aから入力される入力画像データが、メモリトランジスタ Q_2 に蓄積される。メモリトランジスタ Q_2 では、そのゲート電極4Bに入力される入力画像データ電圧 V_a に含まれる階調情報により、ゲート電極4Bのメモリ深さ（書き込み／消去によるON閾値電圧 V_t シフト量）で有機EL素子3の発光輝度を制御する。このため、1フレーム中で、その画素データ書き込み時間以外は、その書き込み情報に応じた出力（発光）をする。

【0025】ここで、図5を用いて有機EL素子3の電気特性の説明をする。図5においては、横軸はアノードーカソード間電圧 V_{ac} を、その縦軸は輝度を設定して、電圧－輝度特性を示している。この図5に示すように、本実施形態の有機EL素子3は、アノードーカソード間電圧 V_{ac} が $1/2 V_{dd} \sim V_{dd}$ の範囲で制御されることにより、その輝度特性が制御される。

【0026】ところで、メモリトランジスタ Q_2 は、ゲート絶縁膜6Aに不純物イオンがドーパされた窒化シリコン膜でなり、EEPROM機能をもつ。このため、メモリトランジスタ Q_2 は、有機EL素子3を駆動するための画素駆動用トランジスタとすることができる。

【0027】また、選択トランジスタ Q_1 のソース電極10Bは、メモリトランジスタ Q_2 のゲート電極4Bに接続され、ドレイン側にはデータ線10Aより書き込み・消去電圧が印加される。これにより、線順次で各画素領域のメモリトランジスタ Q_2 にデータを書き込むのに、選択トランジスタ Q_1 のドレイン側のバイアスが画像データで、選択トランジスタ Q_1 のゲート電極4Aがアドレス選択とすれば、表示装置1における選択ライン以外の領域の全画素は、メモリトランジスタ Q_2 のゲート電極4Bのデータに応じた階調で発光し続ける。

【0028】次に、図6に示す表示装置1の駆動回路図について説明する。この駆動回路図においては、4画素分の表示回路を示している。同図に示すように、各画素領域は、選択トランジスタ Q_1 とメモリトランジスタ Q_2 と有機EL素子3とにより構成されている。各選択トランジスタ Q_1 のゲート電極4Aにはアドレス線4が接続され、各選択トランジスタ Q_1 のドレイン側にはデータ線10Aが接続されている。また、アドレス線4において、選択されたラインには正電位である選択電圧 V_{ad} が、非選択のラインにはグランド電位である非選択電圧 V_{nad} が、印加されるよう設定されている。データ線10Aには、選択期間に、発光輝度に応じた正電位である書き込み電圧 V_r と、グランド電位または負電位である消去電圧 V_e と、が印加されるように設定されてい

る。

【0029】以下に、本実施形態の表示装置1の動作について説明する。まず、図6に示すように、第M列のアドレス線4を選択する場合において説明する。第M列のアドレス線4には選択時に選択電圧 V_{ad} が印加され、その他の列には非選択電圧 V_{nad} が印加される。第M列に接続された選択トランジスタ Q_1 には、選択期間の第1フィールドに、まずデータ線10Aから消去電圧 V_e が印加され、前の選択期間にメモリトランジスタ Q_2 のゲート絶縁膜6Aに蓄積されたキャリアの抜き取りを行う。次いで選択期間の第2フィールドに、データ線10Aから書き込み電圧 V_r を印加する。書き込み電圧 V_r に応じて有機EL素子3が階調発光を行う。非選択期間中は、書き込み電圧 V_r に応じてメモリトランジスタ Q_2 のゲート絶縁膜6A内に蓄積されたキャリアの帯電により、メモリトランジスタ Q_2 のドレイン電流は流れ続けるので、1フレーム期間発光し続けることができる。

【0030】以上のように、本実施形態の表示装置1においては、アドレス線4が非選択時での有機EL素子3の発光状態を維持することができるため、高精細化しても有機EL素子3を高輝度化せずに面発光状態を維持することができる。例えば、従来の線順次方式の表示装置において面輝度100cdを得ようとした場合、アドレス線の本数が480本あるとすると、48000cd程度の発光輝度が必要だったものが、本実施形態では選択時に非発光になったとしても約100cd程度で良いことになる。

【0031】また、アドレス線数が1000本の場合も従来48000cdの発光輝度が必要だったものが、本実施形態では、やはり100cd程度で良い。ただし、60Hzが1フレームとすると、アドレス線が増えると画像データの書き込み／消去時間が足りなくなる。書き込み、消去とも50 μ sでできるとすると、最大アドレス本数はノンインタレース方式で333本、インタレース方式で667本程度となる。

【0032】ちなみに、本実施形態のように、SiN膜トラップを用いたメモリトランジスタ Q_2 の保持時間は非常に長い（通常1年～10年）ため、画面の変化部分だけ書き換えていく方式であれば、書き込み・消去速度がmsecオーダーもフリッカレスでOA表示パネルレベルの表示は可能であり、高品位な静止画を表示することができる。したがって、本実施形態の表示装置1は、従来提案されていた線順次駆動方式の有機EL表示パネルに較べて、高輝度化した有機EL素子を用いずに面発光状態を維持することができる。このため、高輝度かつ中間階調表示を可能とした表示装置を実現することができ、その入力画像の表現力を向上させることができる。アドレス線4の本数の増加に伴い、キャリアの電位を高速に変位させるためにPチャネル電流の影響がない程度

に消去電圧 V_e を負電位にしても良い。

【0033】（実施形態2）図7～図11は本発明に係る表示装置の実施形態2を示している。図7は本実施形態の表示装置の1画素部を示す平面図であり、図8は図7のB-B断面図、図9は図7のC-C断面図である。また、図10は等価回路図、図11は本実施形態におけるアドレス線に出力されるアドレスデータ信号と電圧制御手段の電圧値を示すタイミングチャートである。

【0034】以下、本実施形態の表示装置の構成を説明する。図中21は、表示装置を示している。本実施形態の表示装置21では、図8および図9に示すように、ガラス基板22上に例えばA1、ITOなどでなる接地電極23が表示領域全域に形成されている。この接地電極23上の全面には、例えばシリコン酸化膜でなる下地絶縁膜24が形成されている。そして、この下地絶縁膜24の上には、複数のアドレス線 $X_1 \sim X_n$ が互いに所定間隔を隔てて平行に形成されている。また、アドレス線 $X_1 \sim X_n$ および下地絶縁膜24の上には、第1ゲート絶縁膜25が形成されている。さらに、第1ゲート絶縁膜25の上には、図7および図8に示すように、例えばアモルファスシリコンでなる、第1半導体層26と第2半導体層27とがパターン形成されている。ここで、第1半導体層26は、上記したアドレス線Xがゲート電極としての機能を果たすようになっている。

【0035】さらに、第1半導体層26の上には、ゲート長方向の中央をゲート幅方向に渡ってブロッキング層28がパターン形成されている。そして、第2半導体層27の上面および側壁を覆うように、第2ゲート絶縁膜29が形成されている。なお、ブロッキング層28および第2ゲート絶縁膜29は、CVD法にて成膜された、例えば窒化シリコンで形成されている。そして、第1半導体層26のゲート幅方向の両側には、ソース電極30およびドレイン電極31が第1半導体層26に接続するように形成されている。このように、上記したアドレス線Xと、第1ゲート絶縁膜25と、第1半導体層26と、ソース・ドレイン電極30、31と、で選択トランジスタとしての第1薄膜トランジスタ Q_3 が構成されている。なお、この第1薄膜トランジスタ Q_3 の入力インピーダンスは、大きくなるように設定されている。そして、図7に示すように、ドレイン電極31はデータ線Y（ Y_j ）と一体的にパターン形成されている。また、ソース電極30は、第2半導体層27の中央上方を第2ゲート絶縁膜29を介して横切るゲート電極32と一体的にパターン形成されている。加えて、このソース電極30およびゲート電極32は、図9に示すように、容量33を構成する容量上部電極34とも一体的にパターン形成されている。ところで、容量34は、上記した容量上部電極34と、この容量上部電極34の下に形成された第2ゲート絶縁膜29と、第1ゲート絶縁膜25と、容量下部電極35と、から構成されている。なお、容量下

部電極35は、下地絶縁膜24に開口したコンタクトホール24Aを介して接地電極23と接続されている。

【0036】また、第2半導体層27のゲート電極32の両側方には、第2半導体層27に接続されたソース電極36およびドレイン電極37が形成されている。このように、第2半導体層27と、第2ゲート絶縁膜29と、ゲート電極32と、ソース電極36およびドレイン電極37と、でメモリ用トランジスタとしての第2薄膜トランジスタ Q_4 が構成されている。なお、ドレイン電極37は、図7に示すように、データ線Yに平行に形成された電源線38に一体的に形成されている。また、ソース電極36は、後記する有機EL素子39を構成するEL上部電極40と一体的にパターン形成されている。上記したように、第1薄膜トランジスタ Q_3 と第2薄膜トランジスタ Q_4 と容量33とを接続・構成することにより、電圧制御手段が構成されている。

【0037】有機EL素子39は、図8および図9に示すように、例えばITOでなる透明なアノード電極としてのEL上部電極40と、このEL上部電極41の下に形成された有機EL層41と、この有機EL層41の下に形成された、例えばMgInなどの遮光性をもつカソード電極としてのEL下部電極42と、で構成されている。この有機EL素子39は、第1薄膜トランジスタ Q_3 と第2薄膜トランジスタ Q_4 の上を覆いかつ表示領域全域に互って形成された層間絶縁膜43の上に、形成されている。EL下部電極42は、層間絶縁膜43、第2ゲート絶縁膜29、第1ゲート絶縁膜25および下地絶縁膜24に開口したコンタクトホール44を介して、接地電極23に接続されている。このEL下部電極42は、図7に二点鎖線で示す領域においてEL上部電極突出部40Aを除く領域を覆うように形成されている。すなわち、EL下部電極42は、矩形の電極であり、第1薄膜トランジスタ Q_3 、第2薄膜トランジスタ Q_4 、容量33などを確実に覆う形状・面積を有し、1画素の占有面積の大部分を占めるように形成されている。さらに、有機EL層41は、表示領域全域に互って一枚の層をなすように形成されている。また、EL上部電極40は、図7の二点鎖線が示す領域に互って形成されている。このEL上部電極40の突出部40Aは、同図に示すようにコンタクトホール45を介して、第2薄膜トランジスタ Q_4 のソース電極36と接続されている。以上、本実施形態の表示装置21の構成を説明した。

【0038】図10は、本実施形態の表示装置21の1画素部分の等価回路図を示している。また、図11は、アドレス線 X_i に選択信号が出力された場合の容量33の端子電圧を示すタイミングチャートである。以下、図10および図11を用いて、本実施形態の表示装置21を発光させるための駆動方法を説明する。

【0039】まず、図示しないデータドライバを駆動させてデータ線 Y_j に電圧が設定された時点で、アドレス

線X_iに選択信号を出力して選択を行う。この場合、選択信号は図11に示すように、アドレス線Xの本数がNとすると、1フレーム期間T中の1走査期間はT/Nになり、1走査期間の前半にグランド電位を印加し、次いで後半にしきい値V_{th}を越える書き込み電圧V_rを印加する。このとき、図10に示した第1薄膜トランジスタQ₃はオンの状態となり、消去及び容量33の端子電圧量として書き込まれる。そして、容量33の端子電圧V_cの電位状態に応じて、第2薄膜トランジスタQ₄が当該画素部分の有機EL層41に印加する電界を制御する。本実施形態では、選択が解除された後でも、図11に示すように容量33に電位(V_c)が保持されるため、第2薄膜トランジスタQ₄は次の選択時まで、保持された電位V_cにより、電源線38からの負電位である電位-V_{DD}を表示電圧に制御して有機EL層41へ流し続ける。この間、第2薄膜トランジスタQ₄は電源線38から電流を供給される。このような動作を繰り返すことで、表示装置21は発光状態を持続させることができるため、コントラストを飛躍的に向上することが可能となる。また、薄膜トランジスタを用いて有機EL層41へ流す電流を精密に制御できるため、階調表示が容易となり、例えば画素部分をRGBで整列させれば、フルカラー表示も実現可能となる。

【0040】本実施形態においては、第1および第2薄膜トランジスタQ₃、Q₄がMOS型トランジスタであるが、これらがバイポーラトランジスタであっても、第1のトランジスタにおいては選択信号電圧がベースに印加された場合、1選択信号線あたりに多数の第1のトランジスタが接続されていても、それぞれの第1のトランジスタの入力インピーダンスが大きく設定されていることにより、アドレス線を流れる電流量を小さく抑える作用がある。このため、有機EL素子39に要する電流量を小さくすることができ、電源の寿命を長くすることができる。また、第2のトランジスタにデータ信号電圧が印加された場合も、このトランジスタの入力インピーダンスが大きく設定されているため、容量33に蓄積された電圧の減衰を低く抑えることができ、データ信号電圧の保持時間を長くすることが可能となる。

【0041】本実施形態の表示装置21は、上記したようにEL下部電極42の面積が、1画素の占有領域の面積に近い面積であるため画素の発光効率や開口率を飛躍的に高くできる。また、EL下部電極42は、遮光性をもつ電極であるため、このEL下部電極42の下方に存在する第1薄膜トランジスタQ₃や第2薄膜トランジスタQ₄に表示光を出射させることがなく、両トランジスタのチャネル領域に起電力を生じさせる光が入射することを防止できる。このため、表示特性が安定な駆動を行うことができる。さらに、本実施形態においては、各画素部分の開口率を向上して輝度を確保できるため、各有機EL素子39に印加する電圧を高くして高輝度化を図

る必要がなく、有機EL層41に過剰の電圧を印加する必要がなくなり、有機EL層41の劣化を抑制することができる。

【0042】以上、実施形態1および実施形態2について説明したが、本発明はこれらに限定されるものではなく、構成の要旨に付随する各種の変更が可能である。例えば、上記した実施形態1では、メモリトランジスタQ₂として、不純物がドーピングされた窒化シリコン膜でなるゲート絶縁膜を備えたMOSトランジスタを適用したが、ドーピングしていないゲート絶縁膜のトランジスタを適用することも可能である。また、上記した実施形態では、カソード電極15をMgInで形成したが、光が透過できない他のカソード材料を用いても勿論よい。さらに、上記した実施形態1および実施形態2においては、基体としてガラス基板2を用いたが、不透明な基板を適用したり、合成樹脂からなる基板を適用しても勿論よい。さらにまた、上記した実施形態1では、半導体層をアモルファスシリコンで形成したが、多結晶シリコンを用いて形成してもよい。また、上記した実施形態1では、アノード電極17から表示光が出射される構成としたが、アノード電極17の前方にカラーフィルタを適宜配置する構成としても勿論良い。実施形態2においても、カラーフィルタを備える構成としても勿論よい。さらに、上記した実施形態1および実施形態2においては、EL層を有機EL材料で形成したが、無機EL材料を用いた構成としても勿論よい。又アノード電極上に透明絶縁膜を形成してもよい。

【0043】

【発明の効果】以上の説明から明らかなように、この発明によれば、選択トランジスタと駆動トランジスタでなる電圧制御手段を反射性電極が覆う構成としたため、トランジスタに光入射がなく、光起電力に起因する誤動作を防止することができる。また、カソード電極を画素領域を略覆うように形成し、アノード電極側から光を出射するので画素における開口率を大幅に向上させることができる。このため、各画素部分の輝度を確保できるため、各発光素子を高輝度化する必要がなく、電界発光層に過剰の電圧を印加する必要がなくなり、電界発光層の劣化を抑制する効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る表示装置の実施形態1を示す平面図。

【図2】図1のA-A断面図。

【図3】実施形態1のEL表示回路を示す等価回路図。

【図4】実施形態1のEL表示回路の具体例を示す等価回路図。

【図5】実施形態1の有機EL素子の電気特性を示すグラフ。

【図6】実施形態1の表示装置の駆動回路図。

【図7】本発明に係る表示装置の実施形態2を示す平面

図。

【図8】図7のB-B断面図。

【図9】図7のC-C断面図。

【図10】実施形態2のEL表示回路を示す等価回路図。

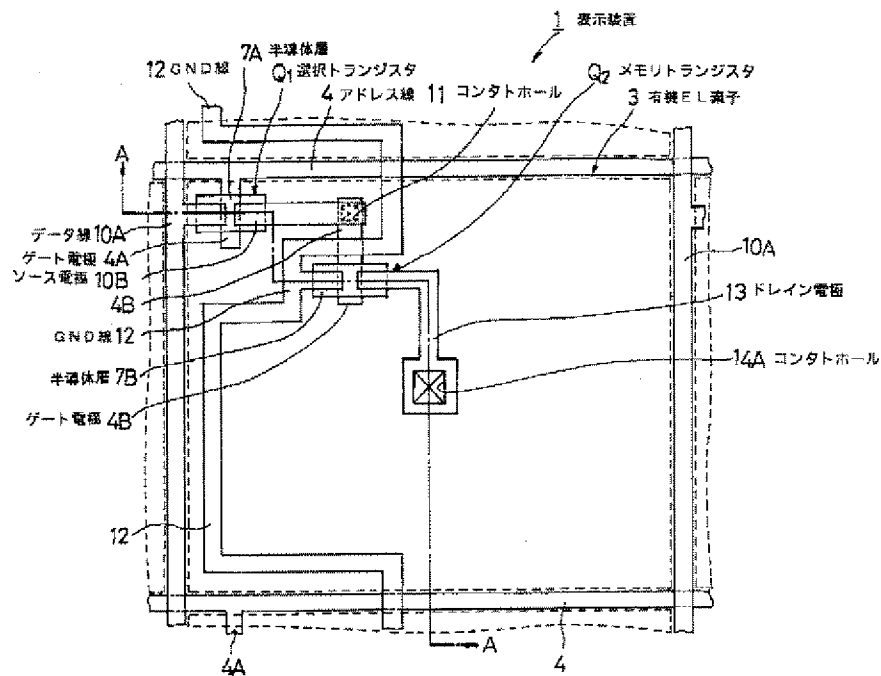
【図11】実施形態2のタイミングチャート。

【符号の説明】

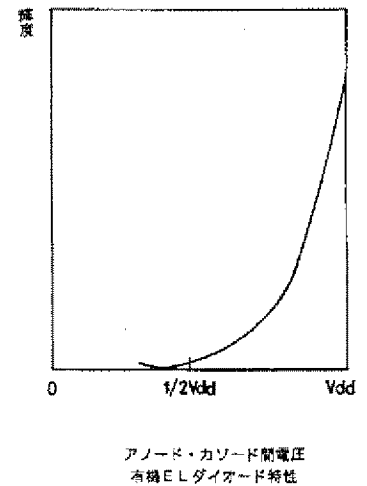
- 1 表示装置
- 2 ガラス基板
- 3 有機EL素子
- 4 アドレス線
- 4A、4B ゲート電極

- 6 ゲート絶縁膜
- 6A ゲート絶縁膜
- 7A、7B 半導体層
- 10A データ線
- 10B ソース電極
- 12 GND線
- 13 ドレイン電極
- 15 カソード電極
- 16 有機EL層
- 17 アノード電極
- Q₁ 選択トランジスタ
- Q₂ メモリトランジスタ

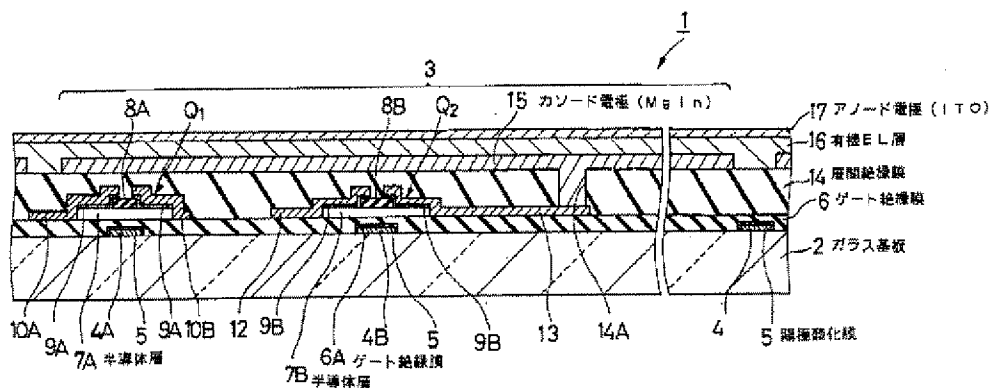
【図1】



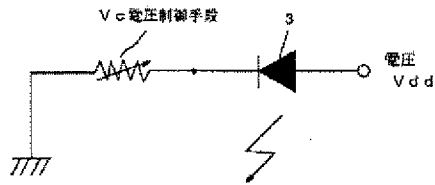
【図5】



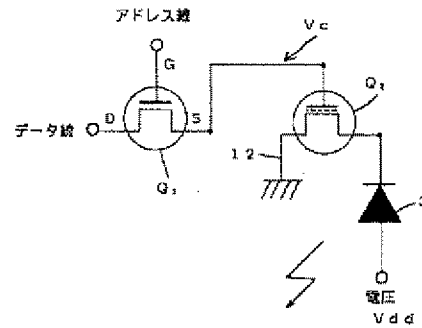
【図2】



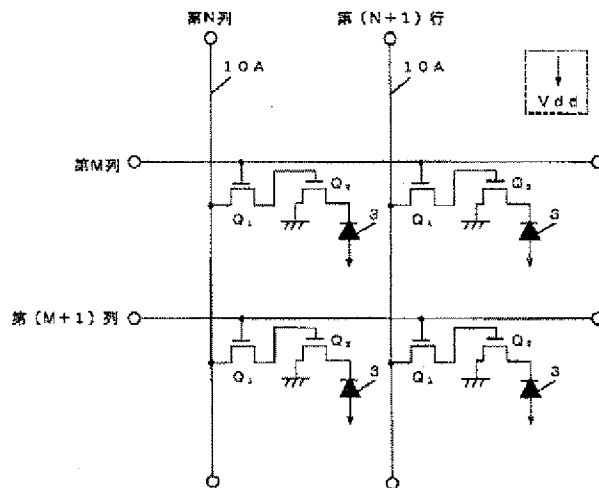
【図3】



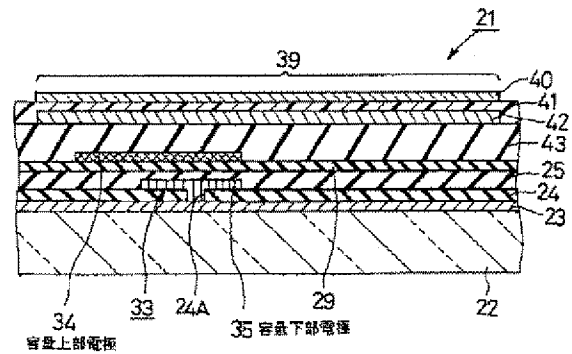
【図4】



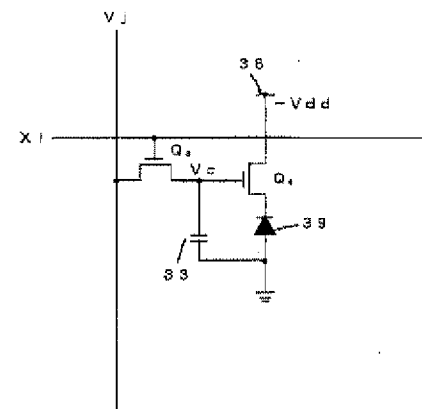
【図6】



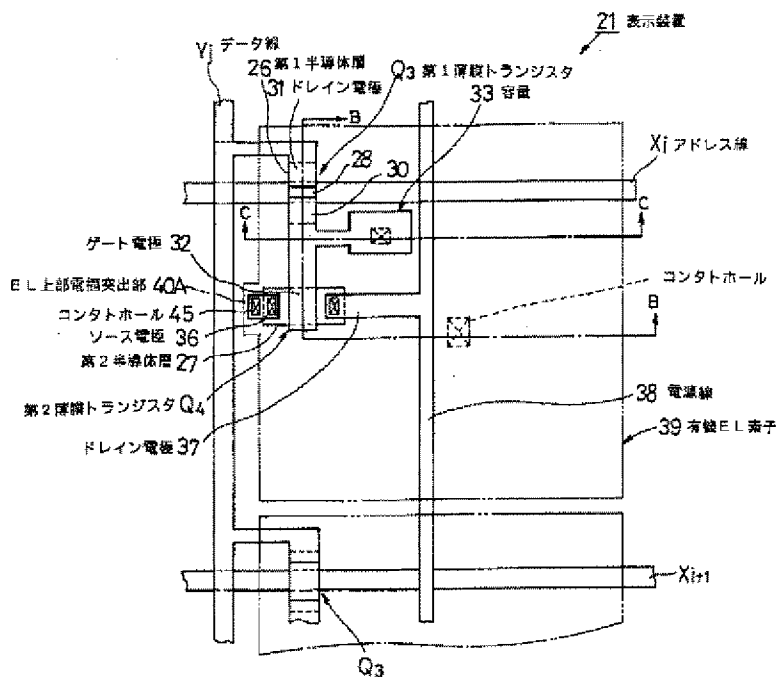
【図9】



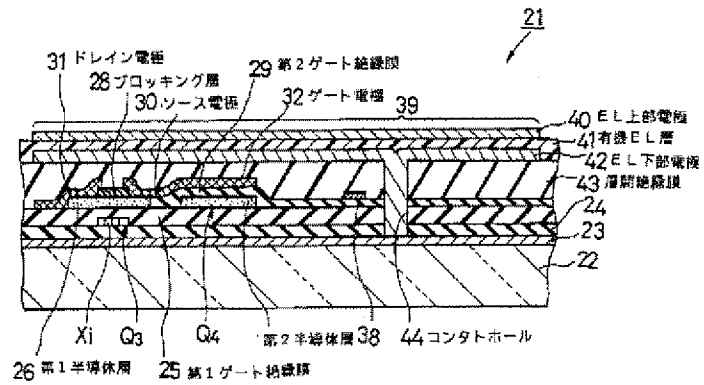
【図10】



【図7】



【図8】



【図11】

